

# 串行数据一致性测试和 验证测量基础知识

应用指南



**目录**

**串行总线 – 既定的设计标准** ..... 4

广泛的串行标准 ..... 4-9

    SATA/SAS ..... 4

    PCI Express® ..... 6

    以太网 ..... 6

    USB ..... 7

    HDMI/DisplayPort ..... 7

    常用的架构单元 ..... 8

        差分传输 ..... 8

        8b/10b 信号编码 ..... 8

        嵌入式时钟 ..... 8

        反嵌 ..... 9

        低压信令 ..... 9

**下一代串行挑战** ..... 10

    千兆位速度 ..... 10

    抖动 ..... 10

    传输线效应 ..... 10

    噪声 ..... 10

**一致性测试** ..... 10-13

    眼图测量 ..... 11

    幅度测试 ..... 11

    定时测试 ..... 12

    抖动测试 ..... 12

    接收机灵敏度测试 ..... 13

    电路板和互连测试 ..... 13

**一致性测试解决方案** ..... 13-19

    连接能力 ..... 13

        TriMode™ 差分探头 ..... 14

        伪差分连接可移动探头 ..... 14

        SMA 伪差分连接探头 ..... 15

        真正差分可移动探头 ..... 15

        SMA 真正差分探头 ..... 15

        夹具 ..... 16

    码型生成 ..... 16

    接收机灵敏度测试 ..... 17

        测试流程 ..... 17

        揭秘接收机 ..... 18

        接收机幅度灵敏度测量 ..... 18

        接收机定时测量 ..... 18

        接收机抖动容限测量 ..... 19

**信号采集** ..... 19-21

    带宽要求 ..... 19

    带宽和跳变 ..... 20

    从多条通路中采集数据 ..... 20

    采样率和记录长度 ..... 21

**信号分析** ..... 21-26

    实时示波器或等效时间示波器 ..... 21

    眼图分析 ..... 22

    抖动分析 ..... 23

        确定抖动和 BER 性能 ..... 23

    噪声分析 ..... 25

    SSC 分析 ..... 25

    传输介质分析 ..... 26

    反嵌 / 归一化 ..... 26

**小结** ..... 27

**进一步读物** ..... 27

### 串行总线 – 既定的设计标准

高速串行总线结构已经成为当前高性能设计的新标准。尽管并行总线标准仍在发生某些变化，但串行总线已经在多个市场中确立了自己的地位，如计算机市场、手机市场、娱乐系统市场、等等，提供了许多性能优势，其成本更低，减少了电路和电路板设计和布局中的轨迹数量。

您可能已经体验过第一代串行总线标准，如 2.5 Gb/s PCI Express (PCIe) 和 3 Gb/s 串行 ATA (SATA)。基于第二代标准的产品即将面市。某些工程师甚至在考虑第三代规范设计要求，包括 SATA 3.0 (8 Gb/s)，而这些规范在各工作组内部还在不断变化。

串行总线正在持续发展，其提供了更快的边沿速率和更窄的单位间隔 (UI)，给设计、一致性测试和调试流程带来了独特的具体需求。许多标准已经达到相应的速度，需要考虑 RF 模拟特点和传输线效应，而这些特点和效应对设计的影响要比过去大得多。

幅度域中更快的跳变时间、更短的 UI、不同的通路阻抗和噪声源，这一切可望进一步提高误码率，使得工程师需要重新考察自己的连接、码型生成、接收机一侧的测试、数据采集和分析策略。这些问题与演进的标准和更严格的一致性测试要求相结合，为各公司迅速向市场上推出产品创造了更棘手的任务。

在本入门手册中，我们将考察串行标准的一致性测试要求，重点介绍第二代标准问题。在介绍三种关键标准的特点后，我们将考察您面临的问题，包括基本测试，以及在一致性测试阶段和调试阶段需要考虑哪些问题。我们将处理五个主要方面：连接被测器件 (DUT)，生成准确的测试码型，测试接收机，采集数据，分析数据。

### 广泛的串行标准

在电子行业中，制造商和其它公司由于各种目的引入了串行总线标准，以满足市场和客户需求。标准的一个关键目标是通过一个架构，在大量厂商提供的广泛的产品之间实现互通。每种标准都由一个监管机构管理，下设多个委员会和工作组，确定设计和测试要求。表 1 列出了部分主要串行标准。

每种规范都规定了为满足标准要求，产品所必须满足的属性，包括电气特点、光学特点 (如有)、机械特点、互连、电缆和其它通路损耗等等。监管机构发布了标准化测试，产品必须通过标准化测试才能满足标准。这些测试可能会详细到要求的特定测试设备，也可能比较笼统，允许设计人员 / 制造商确定相应的标准特点。随着标准演进，各种规范正在不断变化。必须了解最新的规范要求。

泰克参加了许多标准机构，与其它公司一起参与不同工作组，帮助监管机构为一致性测试确定有效的测试流程和程序。

在本文中，我们将涉及下面三项标准。泰克参与了每项标准的多个工作组。

#### SATA/SAS

SATA 是一种附加存储串行标准，广泛用于当前桌面电脑和其它计算平台中。其最初发布时的速率是 1.5 Gb/s，之后更新为第二代 3.0 Gb/s (Gen2)。第三代 SATA (6 Gb/s) 设备最近已经进入市场。串行附加 SCSI (SAS) 与 SATA 一样，也是为存储应用开发的一种串行标准。但是 SAS 设计主要用于数据中心和企业应用。SATA 的运行速率为 3 Gb/s，SAS2 把该速率提高一倍，达到 6 Gb/s。

目的	标准	监管机构	
附加存储访问	串行 ATA (SATA)	SATA-I/O	<a href="http://www.sata-io.org">www.sata-io.org</a>
	串行附加 SCSI (SAS)	SCSI 贸易协会	<a href="http://www.scsita.org">www.scsita.org</a>
芯片到芯片和模块互连	PCI Express (PCIe)	PCI-SIG	<a href="http://www.pcisig.org">www.pcisig.org</a>
	RapidIO	Rapid I/O 贸易协会	<a href="http://www.rapidio.org">www.rapidio.org</a>
高清显示器	高清多媒体接口 (HDMI)	HDMI	<a href="http://www.hdmi.org">www.hdmi.org</a>
	DisplayPort	视频电子标准协会 (VESA)	<a href="http://www.vesa.org">www.vesa.org</a>
系统互连	InfiniBand	InfiniBand 贸易协会	<a href="http://www.infinibandta.org">www.infinibandta.org</a>
	光纤通道	信息技术标准国际委员会	<a href="http://www.incits.org">www.incits.org</a>
	以太网	IEEE	<a href="http://www.ieee.org">www.ieee.org</a>
	通用串行总线 (USB)	USB 实现者论坛 (USB-IF)	<a href="http://www.usb.org">www.usb.org</a>

图 1. SATA 机械布局。

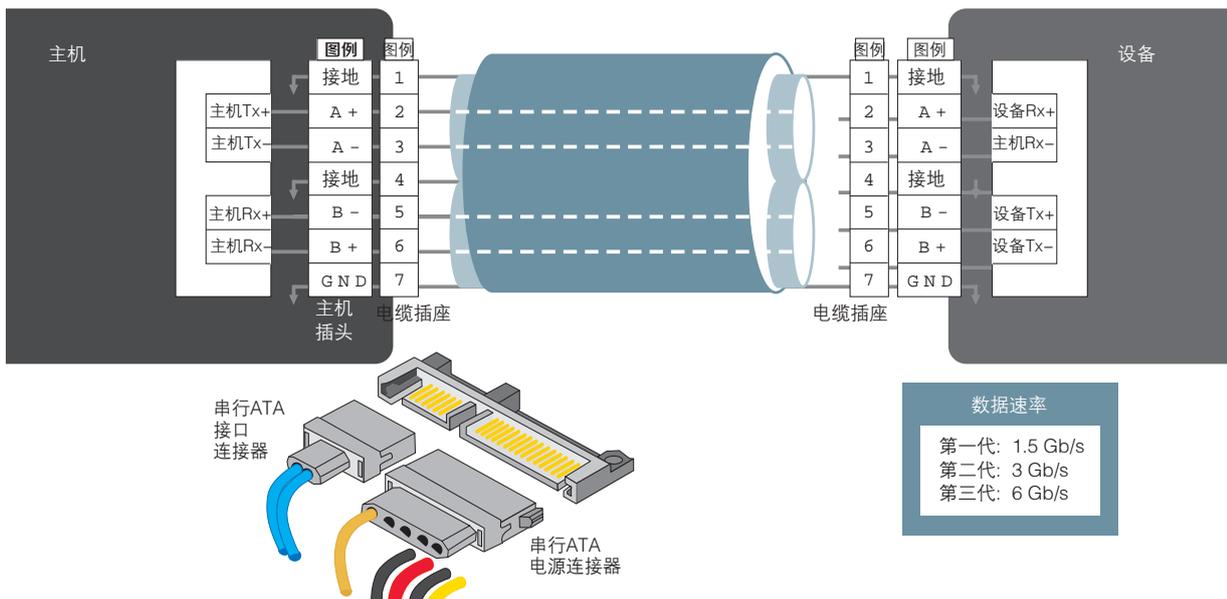


图 1. SATA 机械布局。

图 1 说明了 SATA 信号和机械布局。与许多串行标准一样，SATA 采用低压差分信令 (LVDS) 和 8b/10b 编码。数据通过双单工信道在发射机和接收机之间传送；链路由一条发送

和接收对通路组成。SATA 在嵌入式时钟方案中使用扩频时钟 (SSC)，而不是把单独的参考时钟传送到接收机上。

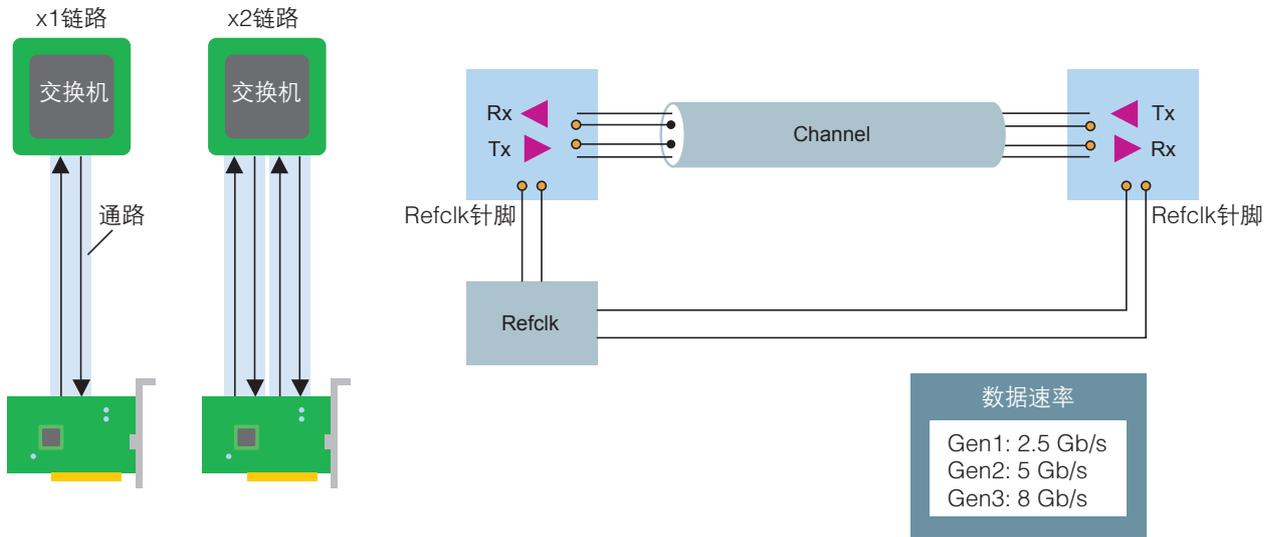


图 2. PCI Express® 架构。

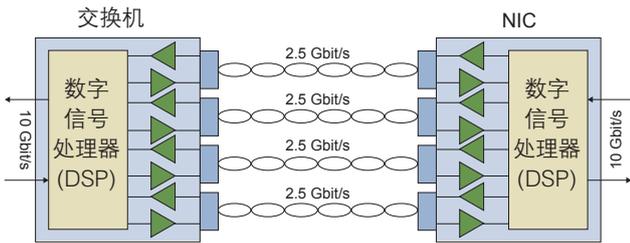


图 3. 10GBASE-T 以太网架构。

### PCI Express®

在大多数芯片到芯片应用中，PCI Express 已经代替了 PCI，包括跨越电路板和电缆连接的通路。PCIe 是一种高度可扩充的架构，在一条 PCIe 链路中提供了 1-16 条双单工通路。在多路应用中，数据流在可用的通路之间划分，几乎同时以通路速率传输。最快速的 PCIe 应用一般用于图像中，在系统芯片组与图形处理器之间连接 16 路高速度、高分辨率图像数据。图 2 说明了 PCI Express 架构。

PCIe 第一代协议每路的传送速率是 2.5 Gb/s，PCIe 2.0 提供了 5 Gb/s 速率。PCIe 把时钟嵌入在数据流中，同时耦合一个参考时钟，驱动接收机上的 PLL 参考输入。

### 以太网

以太网是 IEEE 802.3 标准规定的一种局域网 (LAN) 技术，是一种被广泛采用的标准，用来在多台计算机之间实现通信。以太网接口在不同应用之间变化，包括电 (双绞线电缆、铜缆背板) 和光 (多模光纤) 信令媒体。目前，最流行的以太网接口是非屏蔽双绞线 (UTP)。

第一代和第二代以太网标准 10BASE-T 和 100BASE-T 分别提供了 10 Mb/s 和 100 Mb/s 的传送速率。业内正在广泛部署千兆位以太网 (1000 Mb/s)，10GBASE-T 设计很快即将出现。10GBASE-T 规范采用 4 对均衡线缆承载的全双工基带传输技术。通过在每个线对上，在每个方向同时传送 2500 Mb/s，实现了 10 Gb/s 的总数据速率，如图 3 所示。

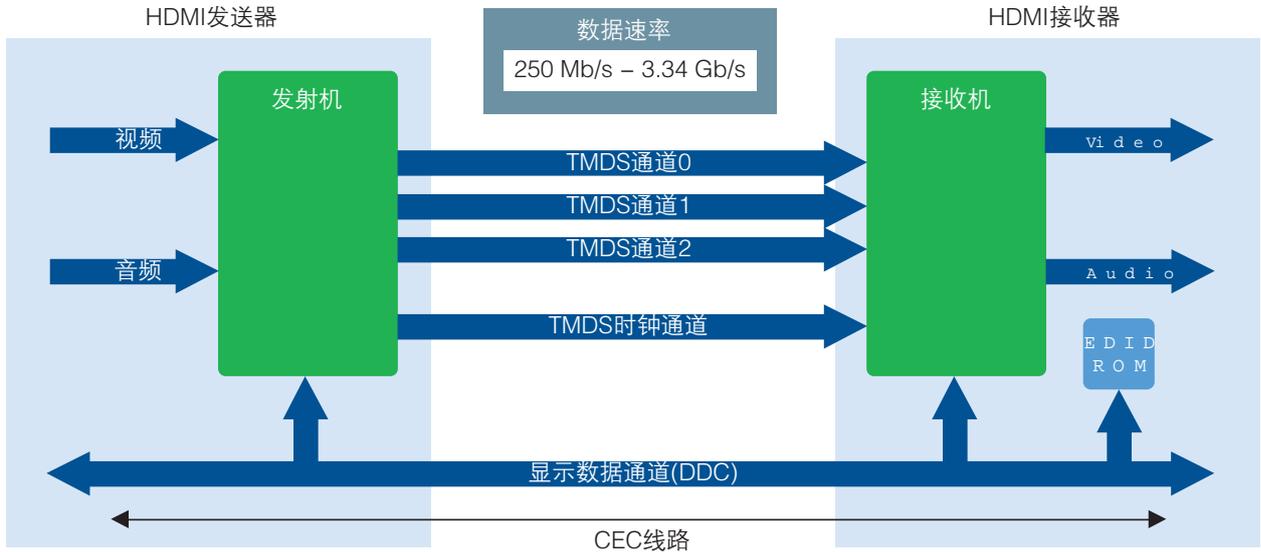


图 4. HDMI 架构。

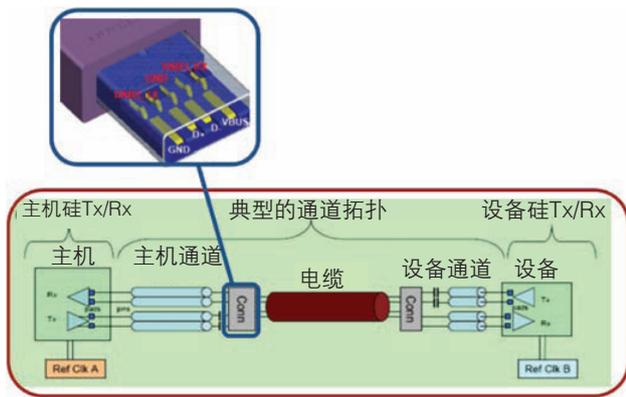


图 5. USB 架构。

## USB

通用串行总线已经成为连接个人电脑和其他外围设备事实上的标准。USB 2.0 (480 Mb/s) 于 2000 年被采用，其速度比传统 USB 1.1 (12 Mb/s) 规范提高了 40 倍。最近，USB 3.0 or SuperSpeed USB 规范问世，速度较 USB 2.0 提高了 10 倍。由于 5 Gb/s 的数据速率，SuperSpeed USB 将支持高清视频和快速 I/O 到闪存之类的各种数据密集型应用。由于传统 USB 产品的大量采用，USB 3.0 提供完全向下兼容能力。图 5 显示了 SuperSpeed USB 的链路架构。

## HDMI/DisplayPort

高清多媒体接口 (HDMI) 是第一个专门为满足消费者娱乐系统市场需求设计的规范。HDMI 基于异常成功的 PC 数字视频接口 (DVI)，并扩展了这一规范，增加了家庭娱乐设备功能，如大屏幕高清电视和家庭影院系统。图 4 说明了 HDMI 架构。HDMI 从发送器到接收器传送高清视频和多通道音频。该规范在 HDMI 链路中规定了三条数据通道，传输速率为 250 Mb/s - 3.4 Gb/s，具体视显示分辨率而定。

大多数高速串行标准依赖 LVDS 及 8b/10b 编码，而 HDMI 则采用使跳变最小化的差分信号或 TMDS，减少链路上的跳变数量，最大限度地降低电磁干扰 (EMI)。

HDMI 还使用参考时钟，传送速率为数据速率的 1/10。称为 DDC 总线的低速串行总线 (I<sup>2</sup>C) 在发送器和接收器之间交换配置和标识数据。

DisplayPort 规范定义了一个可扩充的数字显示接口，并可以选择音频和内容保护功能，广泛用于商业应用、企业应用和消费者应用中。该接口支持两种数据速率：精简位速率 (1.6 Gb/s) 和高位速率 (2.7 Gb/s)。

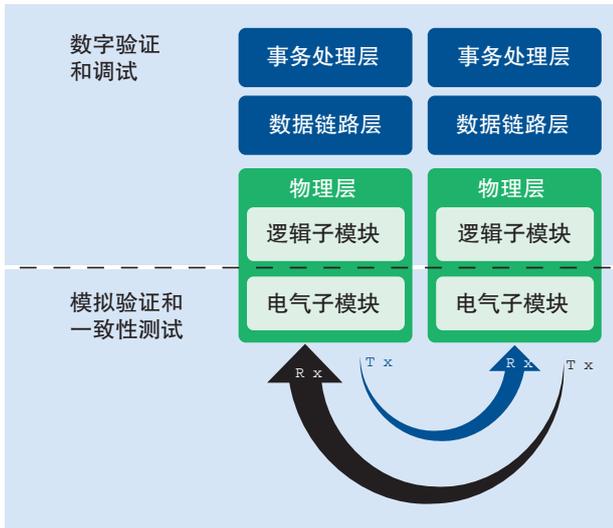


图 6. 分层模型。

### 常用的架构单元

所有高速串行标准都采用分层模型，如图 4 所示。物理层由电气子块和逻辑子块组成。本入门手册重点介绍电气子块，在这里要进行电接口一致性测试测试。

许多高速串行标准在电气层拥有相同或类似的架构单元，如：

- 差分信令 (LVDS 或 TMS)，实现高数据速率和高抗噪声能力
- 8b/10b 编码，改善信号完整性，降低 EMI
- 嵌入式时钟及某些带有参考时钟的单元
- 扩频时钟，降低 EMI
- 均衡技术，补偿损耗通道的信号衰减
- 典型测量指标包括抖动、幅度、差分偏移、上升时间 / 下降时间和共模
- 随着更深入信息的获得及随着标准发展，规范和测试要求也在不断演进

表 2 列出架构中部分关键单元和一致性测试。

### 差分传输

自电话网络早期时代以来，差分传输就一直是通信技术的一个组成部分。以差分方式传送的信号由两个相等、但相反版本的波形组成，其沿着两条导线传送到一个差分接收机上。当差分路径一条腿上的信号变正时，另一条腿上的信号会同等变负，如图 2 所示。信号的这两个镜像在信宿组合在一起。差分技术可以抵抗串扰、外部感应的噪声及其它劣化。在正确设计和端接时，差分架构为灵敏的高频信号提供了一条强健的路径。

### 8b/10b 信号编码

许多串行标准采用 8B/10B 编码，这是 IBM 的一项专利技术，用来把 8 位数据字节转换成 10 位传输字符。这些传输字符改善了物理信号，带来了多个关键优势：可以更简便地实现位同步；简化接收机和发射机的设计；改善误码检测；可以更快地把控制字符（如专用字符）与数据字符区分开来。

### 嵌入式时钟

如果不能说是大多数的话，那么许多当前串行设备都要依赖嵌入式时钟信号，在发射单元与接收单元之间保持同步。没有单独的时钟信号线，相反，定时信息装在数据信号中。正如我们在本文后面看到的那样，这对数据信号提出了一定的要求。使用 8b/10b 之类的编码方法，保证可用的参考边沿以定期方式发生，并足以提供所需的同步。

	设备内部		设备外部						显示器	
应用	PCI Express	串行ATA	以太网	Xaui	FibreChannel	InfiniBand	USB 3.0	1394B	DisplayPort	HDMI
数据速率(最大)	8 Gb/s	6 Gb/s	10 Gb/s	3.125 Gb/s	2.125 Gb/s	2.5 Gb/s	5 Gb/s	800 Mb/s	2.7 Gb/s	3.4 Gb/s
通路数量	最多16条	11		41		最多12条	11		43	
编码	8B10B	8B10B		8B10B	8B10B	8B10B	8B10B	8B10B	8B10B	8B10B
信令	LVDS	LVDS		LVDS	LVDS	LVDS	LVDS	LVDS	LVDS	TMDS
嵌入式时钟	•	•		•	•	•	•		•	
Receiver/ Sink Test	灵敏度 / 幅度	•	•	•	•	•	•	•	•	•
	定时偏移	•	•			•	•		•	•
	去加重	•		•	•	•	•			
	PLL环路带宽	•	•	•	•	•	•		•	
	抖动容限	•	•	•	•	•	•	•	•	•
Transmitter/ Source TestR	眼图	•			•	•	•	•	•	•
	跳变定时 ( 上升 / 下降 )									
	幅度	•	•	•	•	•	•	•	•	•
	共模	•	•	•		•	•		•	
	去加重	•				•	•		•	
	抖动	•	•	•	•	•	•	•	•	•
	回波损耗		•	•						
Cable / Connector Test	串扰	•	•			•	•	•	•	•
	跳变定时 ( 上升 / 下降 )	•	•			•	•			•
	损耗	•	•		•	•	•		•	•
	阻抗	•	•		•	•	•	•	•	•

表 2. 串行标准常见单元和测试

### 反嵌

反嵌技术改变一定序列中的特定位，也就是说，后面跟着一串拥有相反状态位的第一个位的幅度要高于后续的各个位，然后对这些后续位去加重。这一作法的目的是抵消传输介质中的频率相关损耗，如 FR4 电路板中。

### 低压信令

采用差分传输的现代串行架构也采用低压信令。毫不奇怪，这种方法称为低压差分信令或 LVDS。快速总线通常依赖超低压信号，原因很简单，因为它改变状态用的时间较少，比如在由几百毫伏组成的跨度上，改变状态所用的时间要少于进行整整一压跳变所用的时间。从表面上看，这可能更容易发生干扰和噪声，但差分传输可以防止这些影响。

### 下一代串行挑战

在下一代串行标准工作的数据速率上，信号的模拟异常特点对信号完整性和质量的影响比以前更大。信号通路中的导体，包括电路板轨迹、通路、连接器和线缆，会表现出更大的传输线效应，其回波损耗和反射会使信号电平劣化，导致偏移，增加噪声。

#### 千兆位速度

每次标准传送速率提高时，UI 都会缩短，发射机信号质量和接收机灵敏度的容限都会变得更加紧张。随着速度提高，低压差分信号和多电平信令更容易发生信号完整性问题、差分偏移、噪声和码间干扰 (ISI)。其更容易出现定时问题、发射机和接收机之间阻抗不连续点及硬件和软件之间的系统级交互问题。多路架构进一步提高了设计复杂性及发生通路偏移定时违规和串扰的可能性。

#### 抖动

当前更高的数据速率和嵌入式时钟，意味着更容易发生抖动，劣化误码率 (BER) 性能。抖动一般来自串扰、系统噪声、同时开关输出和其它定期发生的干扰信号。在更快的速率、多路架构和更加紧凑的设计中，这些事件以信号抖动的形式影响数据传输的机会进一步提高。

### 传输线效应

信号发射机、导体通路和接收机构成了一个串行数据网络。网络下面隐藏着分布式电容、电感和电阻，随着频率提高，这些特点会给信号传播带来各种各样的影响。传输线效应源自这种分布式网络，可能会给信号质量带来明显影响，导致数据错误。

#### 噪声

噪声是信号中出现的幅度域中不想要的畸变。噪声既可以来自外部，如 AC 电源线；也可以来自内部，如数字时钟、微处理器和开关式电源。噪声可以是瞬态噪声或宽带随机噪声，可能会导致相位误差和信号完整性问题。与频域中的抖动一样，在更快的信令中，幅度域中的噪声增加了变化，可能会给 BER 性能带来关键影响。

### 一致性测试

串行标准通常在一致性测试规范中包括幅度、定时、抖动和眼图测量。与以前的版本相比，某些最新版标准进一步把重点放在 SSC 时钟、接收机灵敏度测试及测量连接器、电缆和其它通路的回波损耗和反射上。

并不是每个标准在进行一致性测试时都要求所有这些测量。标准统一测试文件或规范本身规定了测试点。

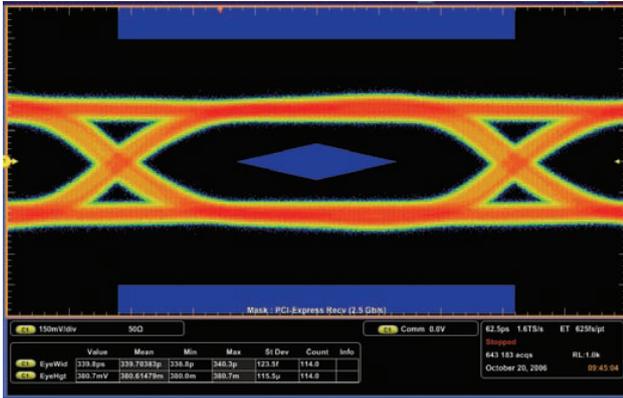


图 7. 示波器上的眼图。

### 眼图测量

关键一致性检验来自眼图测量。图 5 显示了一个眼图。通过触发恢复的时钟，把数据流中捕获的多个 1 UI(单位间隔) (相当于一个时钟周期)的信号重叠起来，可以获得眼图。眼图中间及眼图上方和下方的问题区域一般用“模板”(蓝色区域)表示，表明不得违反的边界。在本文后面的“分析”部分，我们将进一步讨论眼图测量。

下面几个表格列出了 plug-fests (验证一致性和互通)及最终认证一致性检验程序中要求的部分常见关键测量。

### 幅度测试

表 3 中列出的幅度测试检验信号实现了相应的电压电平和稳定性，能够可靠地通过传输介质传播，把正确的“1”或“0”传送到接收机。

测试	概况
差分电压	每个规范都规定了峰到峰差分电压。这是保证发射机生成正确电压电平的基础指标。
眼高	眼高是幅度域中眼图张开程度，表示接收机电路样点上的幅度。眼高在 .5 UI 点测得，参考恢复的时钟。本文后面“分析”部分更详细地介绍了眼图。
去加重	在信号传播过程中，传输介质可能会滚降和/或降慢从低跳变到高或从高跳变到低的位的转换。为补偿这种效应，发射机生成幅度略高于相同值后续位的跳变位。通过使跳变位的幅度高于后续位，信号会“张开眼图”到达接收机引脚。  去加重是跳变位后面第二个位和后续位与跳变位之间的幅度之比(图 6)，去加重也称为预加重和平衡。
共模电压 (AC, DC)	发射机上的共模不平衡和噪声可能会在差分信号中产生不想要的效应。通常情况下，最好把差分信号分成单端成分，以调试这些问题。这种技术还确定可能耦合到差分对一侧、而不是另一侧的串扰和噪声效应。

表 3. 幅度测试概况

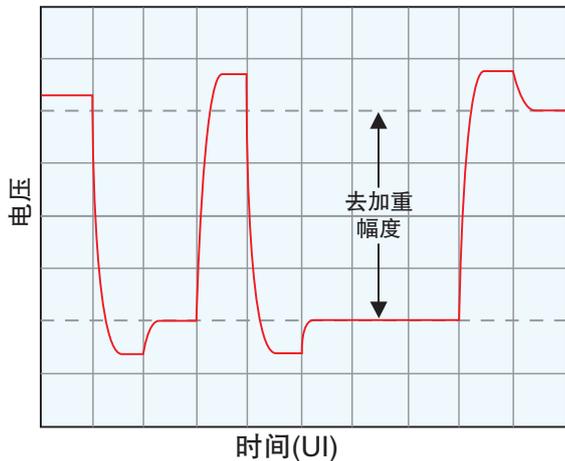


图 8. 数据流上的去加重。

### 定时测试

表 4 列出的定时测试检验了信号没有过多的定时变化，其跳变足够快，可以保留信号要传送的关键数据值。这些测量要求测量工具集部分提供不受影响的性能，检测来自分布式电容、电阻、串扰的畸变和信号劣化。

### 抖动测试

随着数据速率提高，抖动成为最难解决的问题之一，这也是为什么抖动测量持续成为标准机构工作组广泛讨论的主题。开发专用分析工具的公司也关注这个问题，以帮助您迅速确定抖动的成因和结果，了解这个复杂的问题。

抖动是频谱成分的结果，包括确定性抖动和随机抖动。为保证互通性，发射机不得产生太多的抖动，接收机必须能够容忍确定数量的抖动，同时仍能恢复时钟和解串行化数据流。其它信号特点，如幅度和上升时间，可能会影响任何抖动容限属性。事实上，抖动是一个误码率指标。

测试	概况
单位间隔 (UI) 和位速率	通过查看嵌入式时钟在大量的连续周期中 (最多可以达到 100 万以上) 的平均测量结果，可以测量嵌入式时钟频率变化。在某些标准中，如果平均测量结果偏离指定值超过 100 万分之 100 (PPM)，那么 DUT 会测试失败。
上升时间 / 下降时间	<p>上升时间太快会导致 EMI 问题，上升时间太慢会导致数据错误。</p> <p>由于探头 / 仪器组合会引入上升时间测量误差，某些标准在一致性系列测试中没有包括上升时间。但是，通过对测得的值应用“平方和的均方根”，可以确定发送驱动器是否会出现上升 / 下降时间问题。此外，最新的示波器工具使用专用滤波技术，反嵌测量系统对信号的影响，显示探头尖端存在的边沿时间和其它信号特点。</p>
眼宽	<p>眼宽定性测量信号定时和抖动。与眼高一样，它受到模板限制，时域中的任何模板变化都表明一致性测试失败。</p> <p>并不是所有标准都把眼图作为抖动一致性测试的最终判定指标。例如，串行 ATA 规范第六章指出，捕获波形、然后与模板进行比较所实现的统计确定性并不能保证满足要求的 <math>10^{-12}</math> BER (<math>\pm 7s</math>)。眼图测量没有捕获足够多的边沿。</p>

表 4. 定时测试概况

时间间隔误差 (TIE) 是许多抖动测量的基础。TIE 是恢复的时钟边沿 (抖动定时参考) 和实际波形边沿之差。在 TIE 波形上执行直方图和频谱分析为高级抖动测量奠定了基础。直方图还可以帮助您隔离其它电路引起的抖动, 如开关电源。

抖动测量一般要求很长的测量时间, 因为它们必须记录几万亿个周期, 以保证精确地表示 10–12 BER 性能。拥有高捕获速率和抖动分析工具的示波器可以降低这些抖动容限测试的测量时间。本文后面的“分析”部分更详细地讨论了抖动测量。

## 接收机灵敏度测试

某些标准监管机构一直把更多的重点放在最新测试规范的接收机灵敏度测试上。接收机灵敏度检验接收机组件中时钟数据恢复 (CDR) 单元和解串行器在某些不利信号特点下准确恢复时钟和数据流的能力, 包括抖动、幅度和定时变化。下面的“接收机灵敏度测试”部分更详细地介绍了这一测试领域。

## 电路板和互连测试

传输介质在信号质量中发挥着日益关键的作用。以几千兆位数据速率通过低成本介质 (如 FR4、连接器和电缆) 运行的 LVDS 信号给产品和测试夹具设计和测试带来了许多布局挑战。许多标准要求更多地考虑使用损耗、阻抗、串扰测试和眼图分析来检定传输介质的特点。

## 一致性测试解决方案

获得正确的信号、并使测量系统的影响达到最小, 对评估新设计的性能至关重要。下面五个方面对测试过程非常关键:

- 连接能力
- 码型生成
- 接收机测试
- 采集
- 分析

### 连接能力

测量通路, 包括 DUT 到示波器路径, 具有传输线效应, 可能会导致信号劣化和测试失败。使用正确探头实现正确连接至关重要。

标准机械部分, 有时称为物理介质相关 (PMD) 规范, 通常会确定怎样连接 DUT。由于有许多标准, 您会发现各式各样的配置, 每种配置都有自己独特的特点。

有五种方法解决探测挑战:

- TriMode™ 差分探头, 可以从一个设置中在一个测试点上同时实现单端测量和差分测量
- 伪差分连接可移动探头, 进行单端测量、差分测量和共模测量
- SMA 伪差分连接探头, 连接到夹具上
- 真正差分可移动探头, 进行直接差分测量
- SMA 真正差分探头, 连接到夹具上

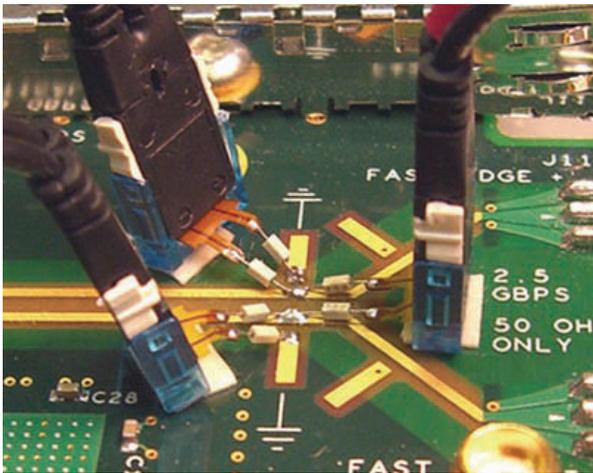


图 9a. 传统差分探头。

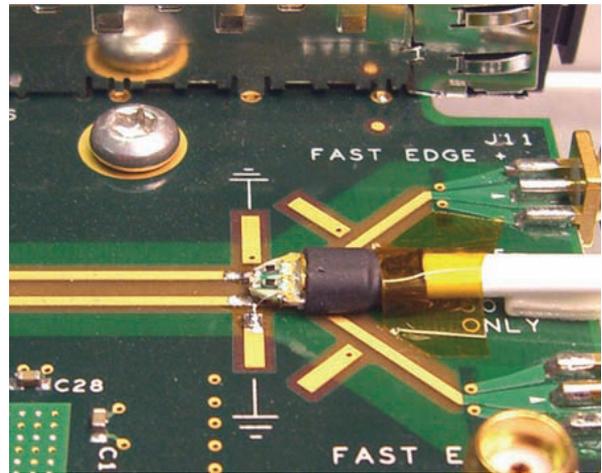


图 9b. TriMode 探头简化了探测。

必需指出,任何探头都会给被测器件(DUT)带来一定的负荷。每个探头都有自己的电路模型,其阻抗会随着频率提高而变化。这可能会影响被观察的电路的行为,影响测量,在评估结果时必须考虑这些因素。

#### TriMode 差分探头

TriMode 探头通过与 DUT 的一条连接,同时实现单端测量、差分测量和共模测量,改变了差分探测。

传统测量方法要求两个单端探头才能进行共模测量,另外还要设置一个差分探头才能进行真正差分信号采集(图 9a)。新型 TriMode 探头则通过一个探头同时完成了这两种设置(图 9b)。

#### 伪差分连接可移动探头

调试工作可能要求探测设备电路板上任何地方的电路点,这就必需使用可移动探头探测各条电路轨迹和针脚。可以使用两个单端有源探头,差分信号一侧一个,进行伪差分测量和共模测量。图 10 说明了这种连接。

示波器的两条通道捕获两通道的数据,然后作为一个信号处理,得到数学波形。由于波形的两侧进入两条不同的示波器输入通道,因此必须先校正输入偏移,然后才能进行测量,消除仪器对采集的影响。

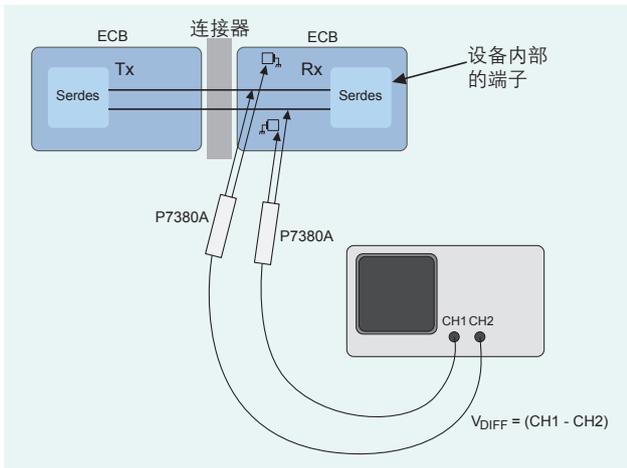


图 10. 接收机输入的伪差分探测。

### SMA 伪差分连接探头

许多一致性测试夹具和原型电路都装有 SMA 高频连接器，用来连接外部测试仪器。在这些情况下，SMA 伪差分方法是一种实用的解决方案。发射机的输出直接连接到示波器的两个输入上，每个输入有 50Ω 的输入阻抗。SMA 适配器在示波器的前面板上提供了必要的机械端子。

如前所述，这种伪差分技术占用示波器的两条通道，探头偏移校正至关重要。图 11 说明了这类夹具连接。

### 真正差分可移动探头

真正差分有源探头进行优化，成为差分信号的低损耗高保真度路径。图 10 说明了这样一个探头，它捕获基于连接器的卡到卡串行链路的接收侧。

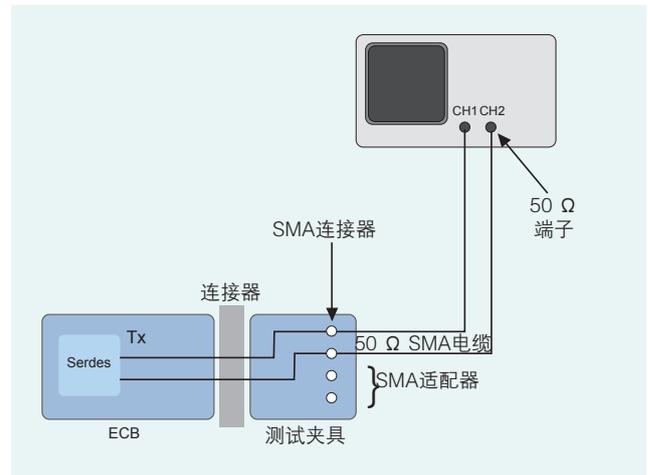


图 11. 使用 SMA 端子电缆实现与夹具的伪差分连接。

与伪差分连接不同，这种探头只要求一条示波器通道，而不需要后续的数学运算步骤。除其它优势外，它能够使用示波器的多条通道，同时以最高采样率捕获多路数据。它还适用于调试多个高速测试点。

### SMA 真正差分探头

在卡到卡接口或卡到电缆接口上定义了互通点的一致性测试中，也特别适合使用 SMA 输入差分探头。100Ω 匹配端子网络把差分信号的两只脚正确端接到用户提供的任何共模电压上。电压可以位于接地电位或与被测逻辑家族对应的端子电压。如果发射机将驱动 100Ω 差分负荷，那么共模连接器还可以保持开路。图 13 表明了连接到卡到卡接口和夹具的真正差分 SMA 探头。

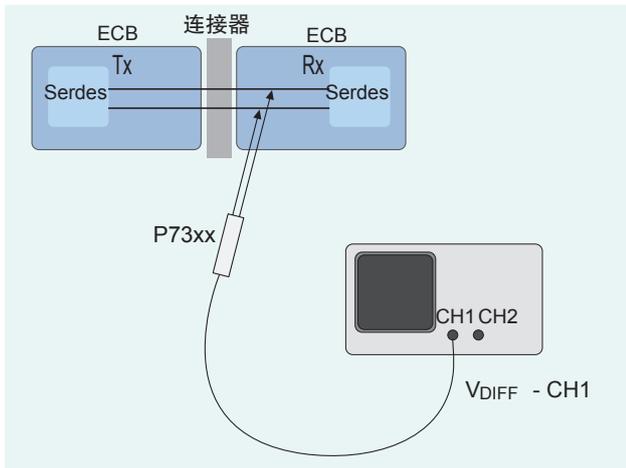


图 12. 接收机输入的真正差分探测。

### 夹具

与串行架构所有其它方面一样，数据速率的提高可能会给测试夹具带来明显影响。必须在新标准下检查任何现有的夹具，保证它们继续为测量系统提供正确的信号。在 SATA 上的数据速率提高到 3 Gb/s 时，许多夹具并不会受到影响。而在更快的 PCI Express 和 HDMI 速率时，对现有夹具的影响开始显现，要求重新设计和新的电路板布局。

在某些情况下，低成本传输介质，如 FR4，不再适合基于第二代和第三代串行架构的新设计。这些传输介质带来了太多的损耗和回声，不足以传播信号和保持正确的信号完整性。您可能需要评估更新、成本更高的材料。

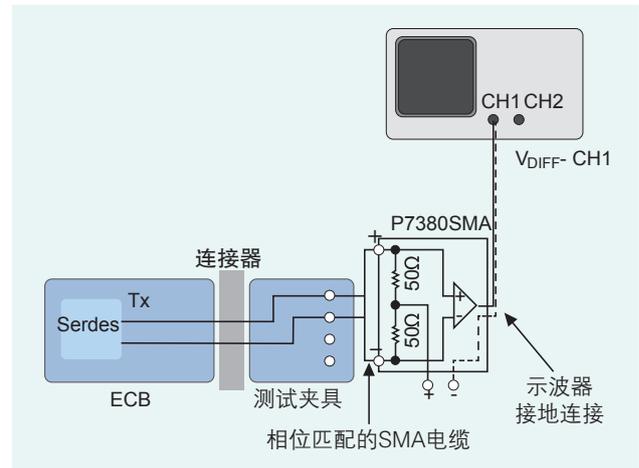


图 13. 使用 SMA 端子电缆实现与夹具的差分连接。

### 码型生成

每个标准的测试文件都规定了一致性检验中必须对 DUT 应用的“黄金”码型。指定的这种码型对实现所需的结果至关重要。

在某些情况下，如 PCI Express 中，发射机 / 接收机生成自己的测试序列。其它标准要求更加复杂地处理信号，可能要借助主机处理器的帮助才能实现。

在要求外部信号时，测试设备必须在适当的频率生成拥有必要特点的黄金码型，以便根据测试规范充分测试设备。完成这一任务的适当工具是可编程信号源，包括：

- 数据定时发生器，提供标准测试信号，如 TS1 和 TS2 训练信号和伪随机码流 (PRBS)
- 任意波形发生器，提供自定义程度高的实际环境信号及数字码型
- 抖动信号源，改变输入信号，进行极限测试
- 新型全内置信号发生器，使用不同的调制方案改变输出，同时提供模拟波形、数据码型和信号源，简化了测试工作

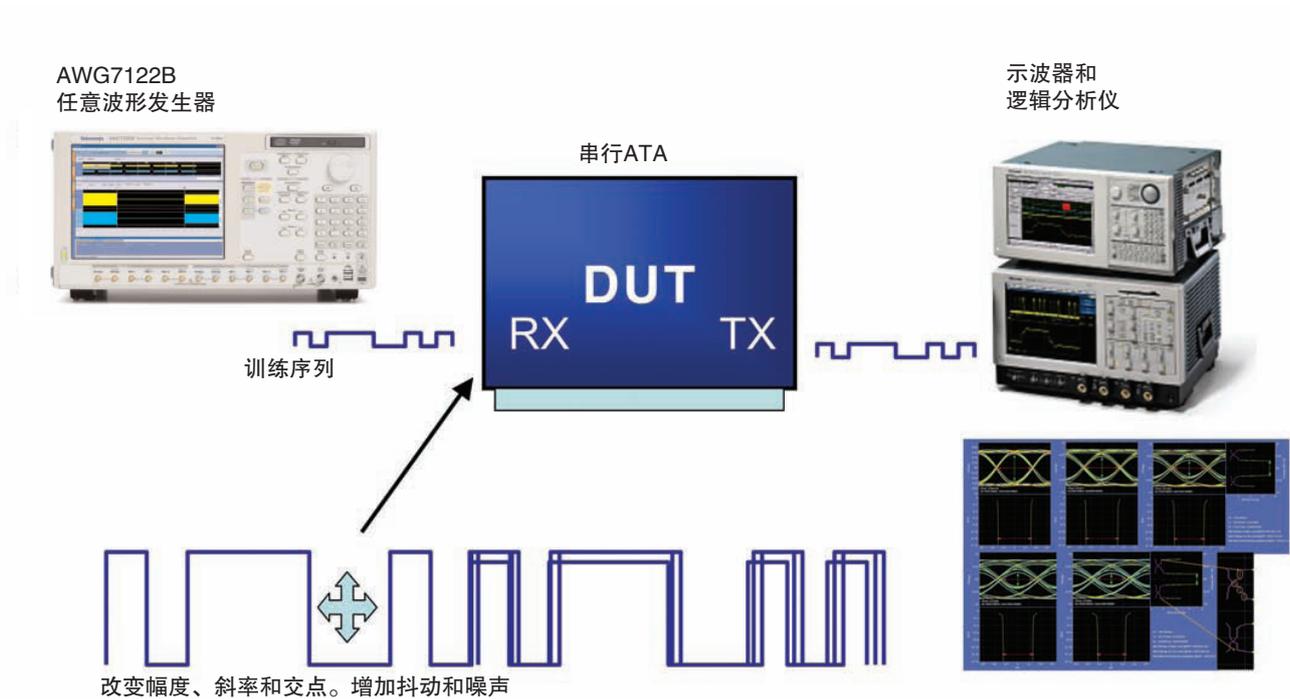


图 14. SATA 接收机测试设置。

为自动实现测试过程，与其它仪器之间的连接，如示波器、逻辑分析仪和 PC，有助于加快一致性验证速度。采用 Matlab 等软件生成的数学波形进行编程，既能够捕获和再生波形，又能够加快测试速度。

### 接收机灵敏度测试

接收机位于形式各异的传输路径的末端。但是，它必须与通过各种互连装置连接的不同发射机互通，每种发射机都会对信号产生一定的影响。

为保证互通，接收机段、特别是时钟数据恢复 (CDR) 单元和解串行器必须在各种条件下正确运行。CDR 必须在存在抖动和幅度变化的情况下提取时钟。类似的，解串行器必须容忍规定数量的幅度、抖动和偏移，以满足特定标准。

### 测试流程

图 14 是单路单路 SATA 接收机的测试设置。尽管具体测试参数、程序和容限在不同标准之间不同，但基本测试方法都由以下几项组成：

- 把设备设置成环回模式，使用逻辑分析仪和 / 或示波器、串行总线分析仪或误码检测器监测发射机输出，检查发送的码型与测试码型相同
- 插入指定的黄金测试码型
- 改变幅度，保证接收机能够准确识别 0 和 1 值
- 改变差分对之间的偏移，支持电路板布局和线缆容限
- 插入抖动，保证 CDR 锁相环 (PLL) 能够追踪输入



图 15a. 接收机上 (蓝色) 及均衡后 (黄色) 的 USB 3.0 信号。

### 揭秘接收机

接收机测试和调试的难度在于不能直接探测设备内部的信号来调试问题。许多接收机设计有输入滤波器，补偿传输线损耗和效应，为 CDR 提供“干净的”信号。因此，接收机输入上的示波器探头会看到应用滤波之前的信号。

采用可编程 DSP 滤波技术的高级示波器可以在接收机内部“虚拟测试点”上采集信号，查看滤波后的信号特点。通过对示波器有限脉冲响应 (FIR) 滤波器应用输入滤波系数，示波器显示输入滤波之外的信号特点。这揭示了 CDR 输入上更准确的信号特点，时钟恢复正是在 CDR 输入上实现的，抖动影响的也是 CDR 输入。注意图 13a 和图 13b 中由于 FIR 滤波导致的眼图测量结果差异。

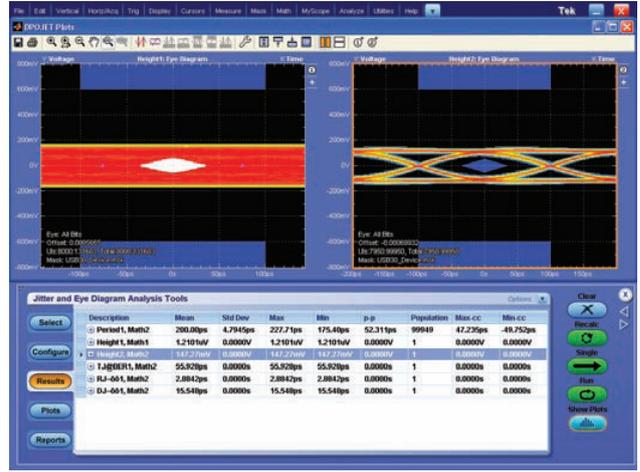


图 15b. 均衡前 (左) 及均衡后 (右) 的 USB 3.0 眼图。

### 接收机幅度灵敏度测量

在到达接收机前，信号会不可避免地发生损耗。幅度灵敏度测量检查在信号到达 CDR 和解串行器时接收机能否识别正确的码值。

### 接收机定时测量

定时测试改变差分对的偏移和边沿速率，检验接收机对信号定时变化的容忍程度。提供测试信号的码型发生器或任意波形发生器上的差分输出至关重要。

驱动器接收机测试设置

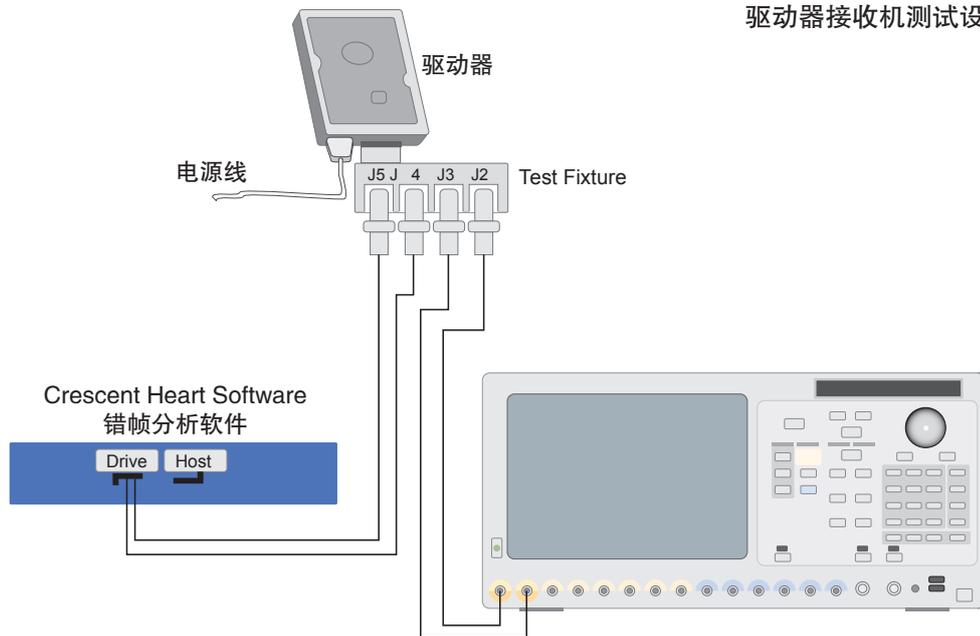


图 16. 接收机抖动测量设置。

接收机抖动容限测量

接收机抖动容限定义为在存在抖动时成功恢复数据的能力。满足规范保证了 CDR 能够恢复时钟，把数据采样闸门放在 UI 的中心。它还意味着解串行器能够识别数据，即使是在存在一定数量的抖动时。图 16 说明了接收机抖动测量设置。

严格的抖动测试在 PCIe 等应用尤为关键，在这些应用中，时钟嵌入在 8b/10b 编码的数据流中。波形发生器必须能够提供具有特定幅度和频率调制廓线的抖动，如正弦波、方波、三角波和噪声。为在可能遇到的条件下充分测试设备极限，发生器必须能够对上升沿或下降沿或两者应用抖动。

接收机测试中的码间干扰 (ISI) 正日益引起各个工作组关注。随着信号速率不断提高，工程师和科研人员正在考察 ISI 对接收机的影响及怎样最好地测试和检定这些效应。预计不久将看到修订版的标准，其中包括 ISI 测试和小型化要求。

信号采集

测量设备的特点可能会导致正确工作的设备不能通过测试。采集系统，包括探头、电缆和示波器输入，必须在采集过程中足以传送足够的信息，才能准确地进行测量。

优秀采集的关键包括：

- 带宽
- 充足的输入数量
- 采样率
- 记录长度

带宽要求

大多数第一代串行总线架构使用 1.5 Gb/s – 3.125 Gb/s 的数据速率，得到高达 1.56 GHz 的基础时钟频率。这些速率位于 4 GHz 和 5 GHz 示波器的能力范围内。但是，信号保真度测量和准确的眼图分析需要的带宽要高得多。大多数标准机构已经认识到这种需求。

带宽要求在第二代标准 (及以上) 中进一步提高，其数据速率高达 10 Gb/s。

信号 上升时间	精度		
	3%	5% <sup>a</sup>	10% <sup>b</sup>
100 ps	5.6 GHz	4.8 GHz	4.0 GHz
75 ps	7.5 GHz	6.4 GHz	5.3 GHz
60 ps	9.3 GHz	8.0 GHz	6.7 GHz
50 ps	11.2 GHz	9.6 GHz	8.0 GHz
40 ps	14.0 GHz	12.0 GHz	10.0 GHz
30 ps	18.7 GHz	16.0 GHz	13.3 GHz

<sup>a</sup>要求的带宽 = 频率 × 1.2

<sup>b</sup>频率 = 0.4 / 上升时间 (20% – 80%)

表 5. 带宽和上升时间测量精度。

### 带宽和跳变

标准的上升时间要求对带宽的需求通常要比对数据速率的需求更苛刻。表 6 列出了当前标准中不同上升时间下各种上升时间测量精度的带宽要求。

示波器和探头的跳变时间都影响着信号测得的上升时间和下降时间。下面的公式表明了探头 / 示波器系统、信号和显示的上升时间测量结果之间的关系。必须把探头和示波器作为一个系统考虑，从显示的测量结果中去掉它们，才能得到信号的真实上升时间。

$$tr(\text{displayed}) = \sqrt{tr(\text{system})^2 + tr(\text{signal})^2}$$

例如，从 20% 上升到 80% 需要 65 ps 的系统，在应用到实际上升时间为 75 ps 的信号时，显示的测量结果为 99 ps。这是系统在测量中不可避免地产生的假信号。因此，最好尽可能使用上升时间指标更快的示波器和探头，以使测试系统的影响达到最小。

### 从多条通路中采集数据

采用 HDMI 之类标准的高数据速率、低成本传输介质和多路设计可能会给通路间偏移和串扰带来不利影响。在多条通路中同时提供实时数据捕获、为服务最新一代串行标准提供必要性能的示波器，可以加快和简化测试、验证和调试。

通过使用多条通路上捕获的时间相关的波形数据，您可以更好地了解错误发生的情境。在 HDMI 中，记录所有通路的时间相关数据不仅可以查看导致错误的事件，还可以在每通路上查看该事件前面和后面的事件。

### 采样率和记录长度

除为捕获信号特点提供充足的带宽外，示波器还必须存储足够的波形信息（记录长度），其中在要求的带宽上拥有足够的细节（采样率），可以完成标准化测试。每种标准都规定完成测试所需捕获的最低数据量。当然，数据越多、越详细，越能更深入地分析可能在更长时间周期内发生的异常信号。拥有更长记录长度、更快采样率和更宽带宽的先进示波器可以利用这些功能优势，提高分析的深度。

拥有长记录长度和内置分析工具的先进示波器可以包括专有的分析技术，揭示整个采集过程中与信号有关的更详细的信息，对设计树立更高的信心。例如，PCIe 1.0 一致性检验要求最少 250 个采样周期，捕获 100 万个周期，高级工具可以分析整个记录长度中任意 250 个相邻周期，更深入地评估信号质量。

对多路信号采集，记录长度和采样率应该应用到多通道示波器的每条通路中，在采集过程中实现最大的细节。

### 信号分析

正确应用适当的探头、对 DUT 应用黄金码型、最好地选择测试仪器的采集系统，有助于对分析结果树立更高的信心。

通常可以使用自动测量和分析工具，加快一致性测试的选择和应用。带有自动分析工具的示波器有助于加快和评估 BER、眼图张开、回波损耗和反射测量。先进的仪器提供了独特的新方法和新技术，可以执行更深入的分析和调试，对设计结果树立更大的信心，加快隔离问题的速度。

### 实时示波器或等效时间示波器

大多数标准都围绕实时采样示波器设计其测试，这些示波器最常用于一致性检验，而其它标准则要求等效时间（也称为采样）示波器。每种示波器都有自己独特的要求和优势。

实时 (RT) 示波器从一次触发中采集一套扩展的测量数据，然后对数据执行测量和分析。数据数量和详细程度受限于示波器带宽、记录长度和采样率。先进的仪器采用软件数字信号处理 (DSP) 恢复时钟，这意味着可以迅速定位不同的时钟恢复模型，以适应不同的测试。实时示波器可以从任意类型的输入激励源中采集数据，而不管是固定码型、重复码型还是单个异常信号。

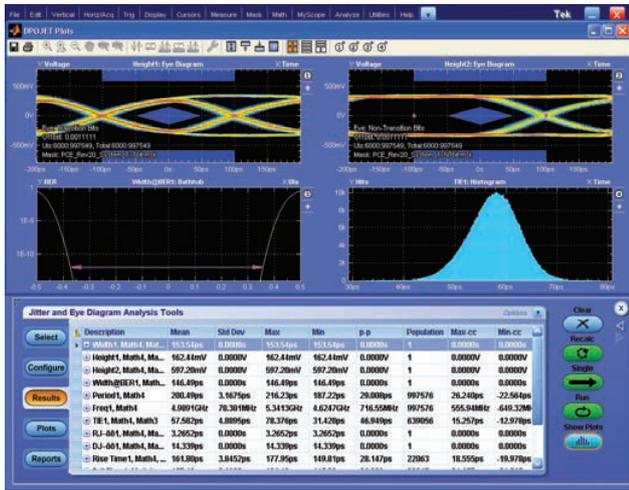


图 17. 眼图测量。

等效时间 (ET/ 采样) 示波器从重复的信号样点中构建波形。这些示波器可以采样和“创建”比实时示波器快得多的信号，但它们要求重复信号。速度最快的示波器一般是 ET 系统。采样示波器依赖基于硬件的时钟恢复单元，其必须为每个样点触发系统。它一般需要长得多的时间来执行测量，要求许多重复的采集，但高级触发系统可以加快触发电路的重新触发时间，有助于缩短测量周期。

现代高级采样示波器还集成了时域反射计 (TDR) 和时域传输 (TDT) 功能，提供基于 S 参数的电路和传输介质建模和分析能力。这些功能可以反嵌测试设备效应和电路单元，同时可以实现高级信号处理，揭示更准确的信号特点，更深入地考察设计挑战的成因。

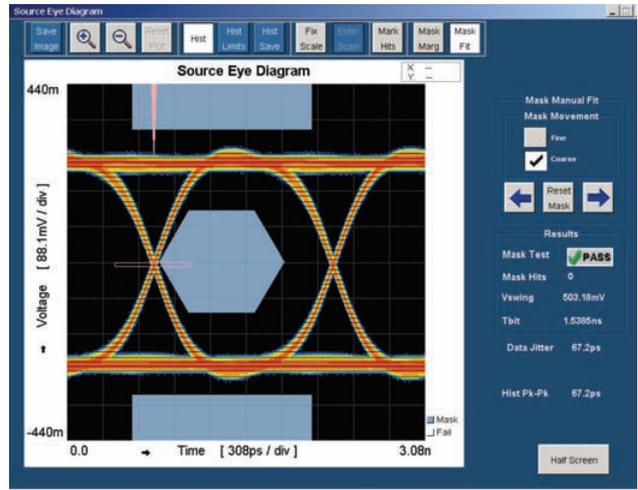


图 18. HDMI 模板。

### 眼图分析

每种标准都规定了怎样为眼图测量捕获数据，包括时钟恢复方法以及确定一致还是不一致的模板。除眼图测量显示外，示波器分析工具可以执行统计分析，确定模板边界和其它关键参数是否违规。图 17 是所有边沿的眼图测量结果，其中带有和不带去加重，它通过了模板边界。这一测量提供了与眼图张开、噪声、抖动及上升时间和下降时间有关的信息。

如前所述，充足的带宽对捕获和包括眼高分析中的第五个谐波至关重要。如果没有这个组件，那么在规范内部执行测量时，DUT 测量可能会失败。大多数标准把模板放在眼图中心。但是，HDMI 会偏移模板，如图 18。在处理不同架构时，了解眼图测量标准差异至关重要。

假设双模分布(dual-Dirac), 在两个BER拟合曲线上测量Tj和斜率Rj, 两点之间为Dj

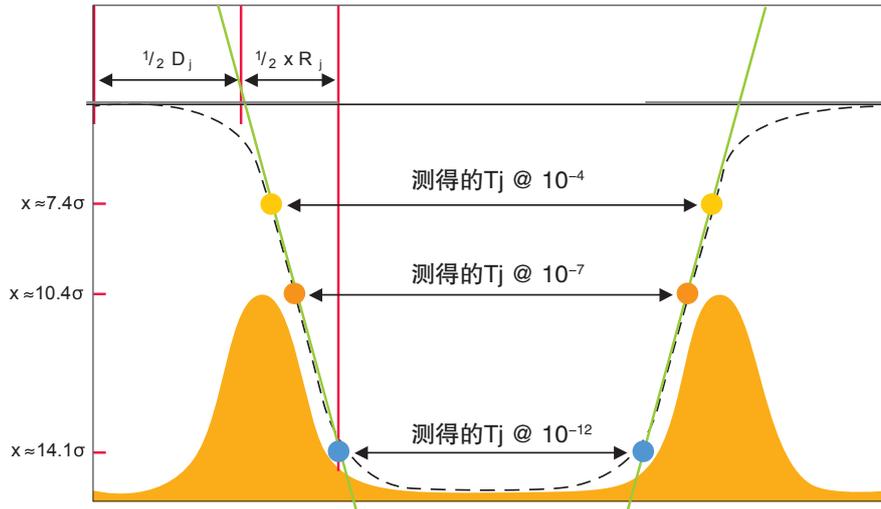


图 20. 抖动眼图张开的 Dual Dirac 模型

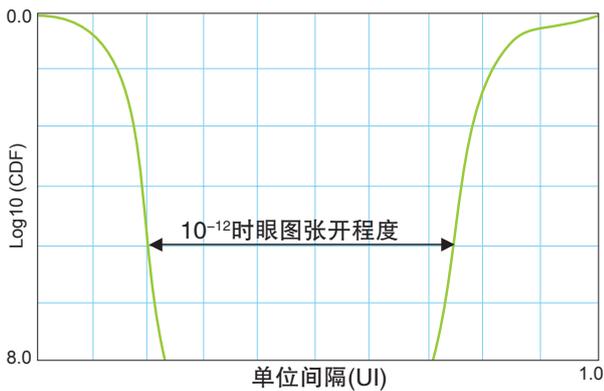


图 19. 抖动浴缸曲线

#### 确定抖动和 BER 性能

标准规定了  $10^{-12}$  BER ( $\pm 7\sigma$ ) 时的总抖动容限。分析这种水平的抖动所需采集的周期数量耗时太长, 是不可能实现的, 因此标准机构修改了测量项目, 可以准确地推断  $\pm 7\sigma$  值。

不同标准采用不同的推断方法。常用方法是使用累积分布函数 (CDF) 或从 TIE 测量中导出的浴缸曲线 (图 19)。InfiniBand 标准采用这种方法。第一代 PCI Express 依赖 TIE 直方图, 第二代 PCI Express 则使用 Dual Dirac 模型 (图 20)。

#### 抖动分析

抖动度量预计信号边沿 (基于每种标准规定的黄金时钟模型) 与从嵌入式时钟恢复的实际边沿之差。抖动太多会使 BER 性能劣化。

抖动分离

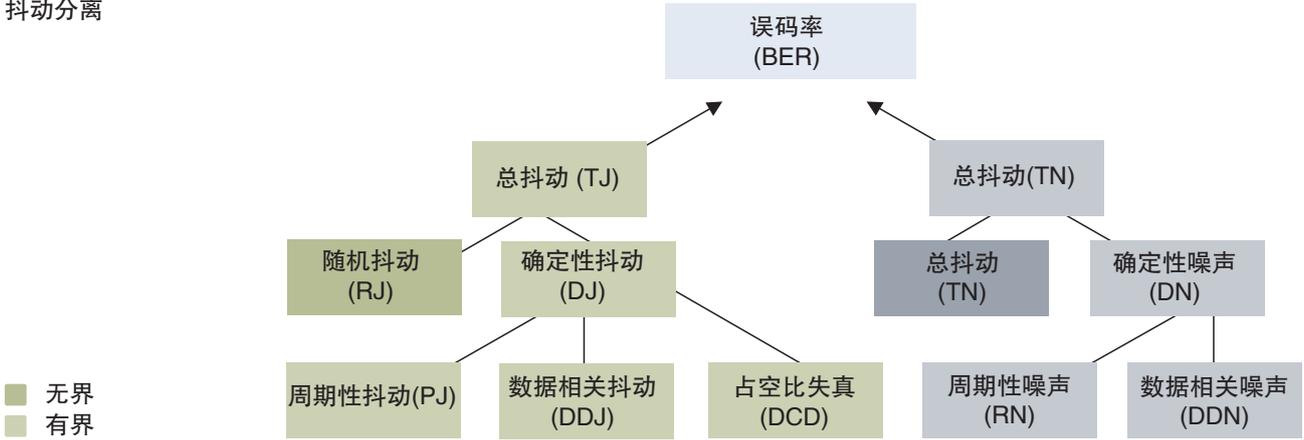


图 21. 抖动来源

$10^{-12}$  BER 时的抖动量被视为抖动眼图张开程度，这不同于眼图测量中的眼宽。 $T_j$ 、抖动眼图张开程度和 UI 之间的关系如下：

$$\text{总抖动} + \text{抖动眼图张开程度} = 1 \text{ 个单位间隔}$$

总抖动 ( $T_j$ ) 包括来自各种来源的随机成分 ( $R_j$ ) 和确定性成分 ( $D_j$ )，如图 21 所示。

如图 20 所示，可以从 CDF 中测量  $D_j$  和  $R_j$ 。先进的实时示波器和采样示波器集成了多套软件工具，执行抖动测量，分离  $R_j$  和  $D_j$ 。了解  $R_j$  和  $D_j$  可以帮助您隔离导致抖动的电路。

并不是所有抖动测量都是相同的。标准的时钟恢复模型推动着特定的抖动测量。这意味着自动化工具必须包括一定标准的具体类型的时钟恢复方法，才能为该标准执行抖动测量。不同的方法可能会导致不同的抖动评估结果。因此，使用正确方法、并遵守测试文件要求至关重要。可编程示波器提供了基于软件的时钟恢复功能及采样示波器硬件时钟恢复系统，简化了这一任务。

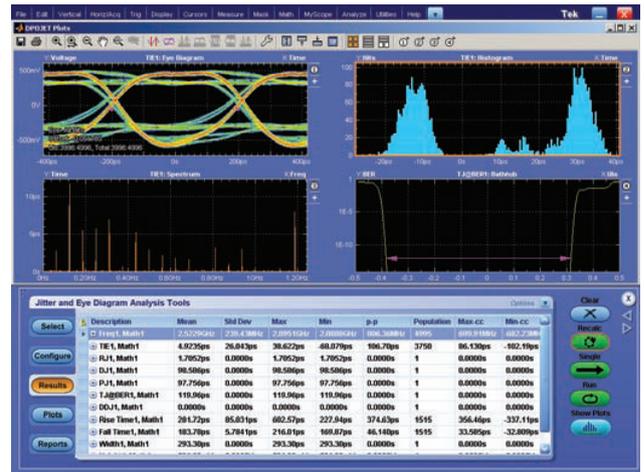


图 22. 多个抖动分析视图。

还有许多专有工具，这些工具集成到高级示波器工具集中。这些工具集可以全面深入考察抖动和其它测量。图 22 是一个画面中显示的多个抖动分析视图，包括眼图张开程度、TIE 频谱分析和使用浴缸曲线的 BER。统计分析表明了不同测量的结果，可以立即判定 DUT 性能和一致性。

噪声分离

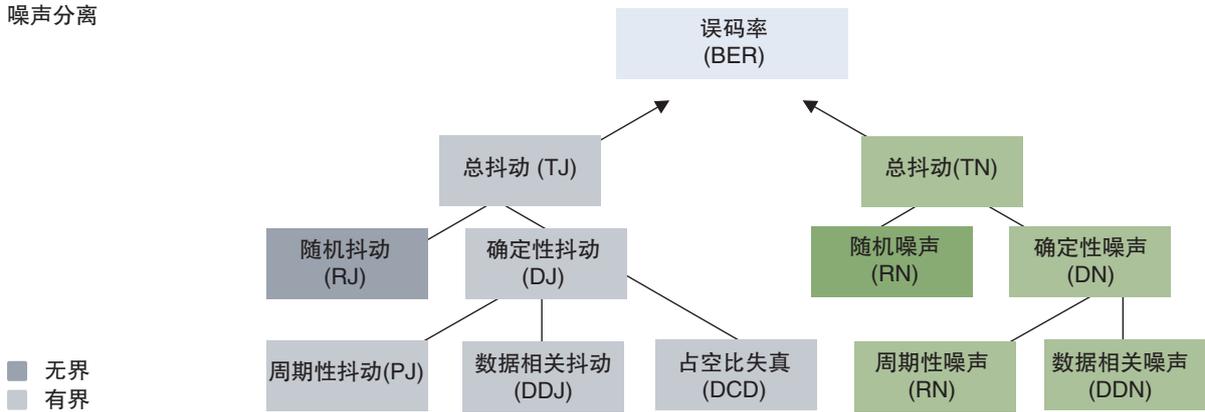


图 23. 噪声来源

可以收集的与抖动有关的数据越多，这种最重要的一致性测试的测量效果就越好。测量低频抖动对示波器提出了两个相互矛盾的需求：示波器要捕获精细的定时细节，而且要在长时间跨度中捕获这些细节。为实现这一点，示波器既要拥有高采样率，以采集与每个周期有关的最大细节，又要有长记录长度，以分析测量期间的低频变化。拥有 50 Gs/s 采样率和非常深的存储器的现代示波器允许仪器捕获足够的工作周期，确定低频抖动对测量的影响。

噪声分析

随着数据速率提高及容限越来越紧张，更高的测量精度要求采取更多的措施，降低垂直噪声在幅度域中的影响。由于幅度噪声和定时抖动没有正交，因此必须考虑表现为相位误差的幅度变化。噪声模型采取与抖动类似的分布，包括随机成分和确定性成分 (图 23)，可以使用噪声分离图像建模 (图 24)。

在指定采样阶段剪切的逻辑1的概率密度函数

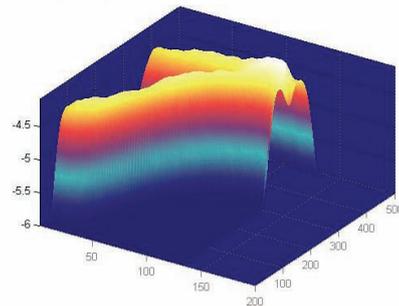


图 24. 噪声分离分析

SSC 分析

许多标准使用扩频时钟降低 EMI。这些标准要求针对规范检验 SSC 廓线。此外，由于高采样率和长记录长度，统计分析可以揭示数百个采集周期到数百万采集周期中的低频变化。

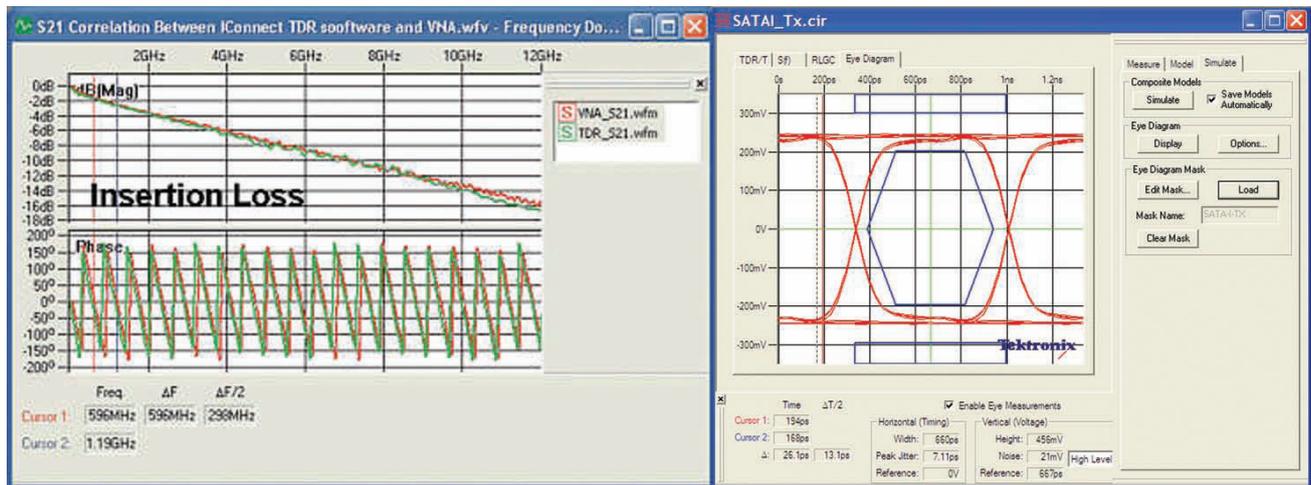


图 25. 基于 TDR 的传输通路测量

### 传输介质分析

在时域和频域中准确分析信号路径和互连对全面了解当前高速串行设计中损耗和串扰的影响至关重要。行业标准如 PCI Express 和 SATA 正日益要求使用 S 参数和阻抗测量检定信号路径效应，保证系统互通。带有 TDR 功能的高级采样示波器可以建立基于 S 参数的模型，进行回波损耗和眼图测量 (图 25)，执行复杂的网络分析，检验电缆和互连在标准内部的一致性。

### 反嵌 / 归一化

测量路径 S 参数建模 (包括测试夹具和电缆) 还可以建立准确的测量系统模型，消除其影响，或在后期处理中从测量反嵌其影响。某些示波器中的 FIR 滤波器还允许反嵌测量通路，微调多个输入的校准。

### 小结

第二代高速串行标准物理一致性检验要更加复杂，对测试设备、连接方法和分析工具比上一代标准要求更加苛刻。传输介质在信号完整性中发挥着更大的作用，第二代一致性测试要求中通常会更强调传输介质和接收机测试。更高的位速率、更短的 UI 和更紧张的容限，要求您从全新的角度考察物理测试策略，包括夹具和设备。

串行架构的演进催生了新一代测量工具，使您能够加快测试，帮助您迎接串行测量和一致性测试挑战。这些解决方案提供了杰出的性能和技术，可以以最高的数据速率捕获、显示和分析最复杂的串行信号。

### 进一步读物

泰克提供更多的与特定主题有关的应用指南和入门手册，更仔细地考察串行标准、怎样测试及使用哪些设备执行测试，详情请访问：[cn.tektronix.com](http://cn.tektronix.com)。

**泰克科技(中国)有限公司**  
上海市浦东新区川桥路1227号  
邮编: 201206  
电话: (86 21) 5031 2000  
传真: (86 21) 5899 3156

**泰克北京办事处**  
北京市海淀区花园路4号  
通恒大厦1楼101室  
邮编: 100088  
电话: (86 10) 5795 0700  
传真: (86 10) 6235 1236

**泰克上海办事处**  
上海市徐汇区宜山路900号  
科技大楼C楼7楼  
邮编: 200233  
电话: (86 21) 3397 0800  
传真: (86 21) 6289 7267

**泰克深圳办事处**  
深圳市福田区南园路68号  
上步大厦21层G/H/I/J室  
邮编: 518031  
电话: (86 755) 8246 0909  
传真: (86 755) 8246 1539

**泰克成都办事处**  
成都市锦江区三色路38号  
博瑞创意成都B座1604  
邮编: 610063  
电话: (86 28) 6530 4900  
传真: (86 28) 8527 0053

**泰克西安办事处**  
西安市二环南路西段88号  
老三届世纪星大厦26层C座  
邮编: 710065  
电话: (86 29) 8723 1794  
传真: (86 29) 8721 8549

**泰克武汉办事处**  
武汉市解放大道686号  
世贸广场1806室  
邮编: 430022  
电话: (86 27) 8781 2760/2831

**泰克香港办事处**  
香港九龙尖沙咀弥敦道132号  
美丽华大厦808-809室  
电话: (852) 2585 6688  
传真: (852) 2598 6260

#### **有关信息**

泰克公司备有内容丰富的各种应用文章、技术简介和其他资料，并不断予以充实，可为从事前沿技术研究的工程师提供帮助。请访问泰克公司网站 [cn.tektronix.com](http://cn.tektronix.com)

©2013 年泰克公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利及外国专利的保护。本文中的信息代替以前出版的材料中的所有信息。本文中的技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和 TEK 是泰克公司的注册商标。本文中提到的所有商号均为各自公司的服务标志、商标或注册商标。